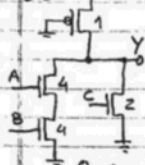
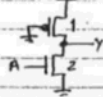


CAPÍTULO 6

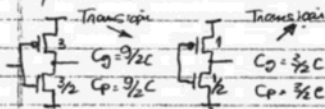
6.8- 3.3V



INV. Pseudo-NMOS da referência:



Os correspondentes inversos CMOS a usar para calcular os valores do esforço lógico são:



(X) e atrasos parciais.

a) Para a transição ascendente (↑) os valores são:

$$g_{AV} = g_{BU} = \frac{4}{3/2} = \frac{8}{3}; \quad g_{CU} = \frac{2}{3/2} = \frac{4}{3}$$

$$e \quad p_u = \frac{7}{3/2} = \frac{14}{3}$$

Para a transição descendente (↓)

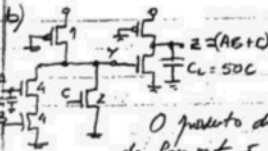
$$g_{AD} = g_{BD} = \frac{4}{3/2} = \frac{8}{3}; \quad g_{CD} = \frac{2}{3/2} = \frac{4}{3}$$

$$e \quad p_d = \frac{7}{3/2} = \frac{14}{3}$$

Os valores medidos são portanto:

$$g_{AV} = g_{BU} = 15/4; \quad g_{CU} = 9/4$$

$$e \quad p_{AV} = 56/4$$



O produto dos atrasos

de fan-out, F, e

$$F = GBH \text{ ou}$$

$$G = g_1 \times g_2 = \left(\frac{8}{3}\right) \times \left(\frac{8}{3}\right) = \frac{128}{9}$$

sendo g_2 o esforço lógico do inversor de entrada dado na Tab. 6.1.

$$B = 1 \text{ e } H = \frac{C_L}{C_{in}} = \frac{50f}{4f}$$

Calculando F obtém-se $F = \frac{1600}{81}$

Para $N=2$ o melhor atraso de fan-out é $f_c = \sqrt{F} = \frac{40}{9}$ e o atraso mínimo será

$$D_{min} = N \cdot f_c + \sum P_i$$

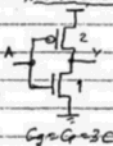
$$= 2 \times \frac{40}{9} + \left(\frac{56}{9} + \frac{4}{9}\right) = \frac{148}{9} = 16.44$$

6.9 - Em cada entrada a capacidade é $\frac{2}{3} + \frac{4}{9} = 2C$. A corrente de full-down é, no pior caso, igual à dos inversor pseudo-NMOS da fig. 6.4-a), que é igual à corrente de full-down do inversor CMOS da fig. 6.5-a).

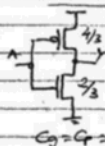
A corrente de full-up é, neste caso, o dobro da corrente de full-up do inversor pseudo-NMOS da fig. 6.4-a). Assim o inversor CMOS a usar como referência tem de ter também o dobro de geometria do inversor da fig. 6.5-b).

Os inversores CMOS a usar como referência deverão ser, portanto:

Transição 1→0 Transição 0→1



$$C_p = C_n = 3C$$



$$C_p = C_n = 2C$$

Com estes inversores obtém-se para

a) para dada

$$g_d = \frac{2}{3}; \quad g_u = \frac{2}{3} = 1; \quad g_{AV} = \frac{5}{6}$$

$$p_u = \frac{7}{3} = 4/3; \quad p_d = \frac{4}{3} = 2; \quad p_{AV} = 19/6$$

	Johnson	Pseudo NMOS	CMOS
g_{AV}	5/6	8/9	5/3
p_{AV}	10/3	29/6	2

(1) - Tab. 6.1
(2) - Tels 5.1
e 5.2

Circuito dado tem o melhor esforço lógico mas o pior atraso parciais.

CAPITULO 6

6.10- Para o circuito do Exemplo

6.1. Temos:

$$f_c = \sqrt{8H/9}; C_1 = 3HC; C_2 = C\sqrt{8H}$$

Tare transistores $Q \rightarrow 1$ na saída:

$$D_{min} = (g_{h1} + p_1) + (g_{h2} + p_2)$$

onde $g_{h1} = f_c$, obtemos

$$D_{min} = \left(\sqrt{\frac{8H}{9}} + 1\right) + \left(\frac{4}{3} \frac{3H}{\sqrt{8H}} + \frac{4K+2}{9}\right) \\ = \frac{5}{3} \sqrt{2H} + \frac{4K+5}{3} //$$

Para a transição $1 \rightarrow 0$ na saída:

$$D_{min} = (g_{h1} + p_1) + (g_{h2} + p_2)$$

onde $g_{h1} = f_c$, obtemos

$$D_{min} = \left(\sqrt{\frac{8H}{9}} + 1\right) + \left(\frac{4}{3} \frac{3H}{\sqrt{8H}} + \frac{4K+2}{9}\right) \\ = \sqrt{2H} + \frac{4K+11}{9} //$$

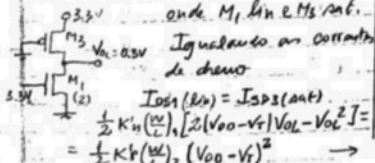
6.11- a) Se há corrente em M_3 e um dos transistores M_1 ou M_2 estiver on, o que acontece para entradas 01 ou 10. Nessas condições F está ao nível lógico 0.

A	B	M_1	M_2	F
0	0	off	off	1
0	1	off	on	0
1	0	on	off	0
1	1	off	off	1

$$F = A \oplus B$$

b) M_3 é um pull-up. Sem ele o nível lógico 1 na saída não é garantido quando $A=B=0$.

6.12- a) Supondo, por exemplo, $A=1$ e $B=0$, o circuito equivalente será:

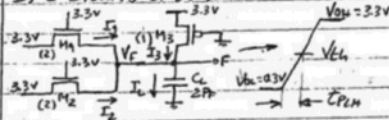


$$2.5 \frac{W_1}{W_3} [2(3.3-0.5)(0.3-0.3^2)] = (3.3-0.5)^2$$

$$\text{onde } W_1/W_3 = 1.97 \approx 2$$

$$\text{portanto } W_3 = 1 \text{ W/min}$$

b) O circuito a considerar é:



$$V_{th} = \frac{3.3+0.3}{2} = 1.8V$$

$$I_L = I_1 + I_2 + I_3$$

M_1 e M_2 estão sempre saturados desde que têm $V_{GS} = 0 < V_T$.

$$I_1 = I_2 = \frac{1}{2} K'_n \left(\frac{W}{L}\right)_1 (V_{DD} - V_T - V_T)^2 \\ = 120 (2.8 - V_T)^2$$

$$V_T = 0.3V \Rightarrow I_1 = I_2 = 750 \mu A$$

$$V_T = 1.8V \Rightarrow I_1 = I_2 = 120 \mu A$$

$$\text{Logo } I_1 = I_2 = \frac{750+120}{2} = 435 \mu A$$

Vamos agora o valor de I_3 .

Para $V_F = 0.3V$, $V_{G3} = 0.3 < |V_{TP}| = 0.5$

Logo M_3 está saturado

$$I_3(sat) = \frac{1}{2} K'_p \left(\frac{W}{L}\right)_3 (V_{DD} - |V_{TP}|)^2 =$$

$$= \frac{1}{2} \frac{120}{2.5} (1) (3.3-0.5)^2 = 188.2 \mu A$$

Para $V_F = 1.8V$, $V_{G3} = 1.8V > |V_{TP}|$, não

que M_3 está linear

$$I_3(lin) = \frac{1}{2} K'_p \left(\frac{W}{L}\right)_3 [2(V_{DD} - V_T)(V_{DD} - 1.8) - (V_{DD} - 1.8)^2]$$

$$I_3(lin) = \frac{1}{2} \frac{120}{2.5} (1) [2(3.3-0.5)(1.5-1.5^2)] \\ = 142.6 \mu A$$

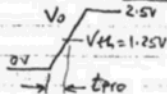
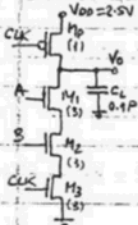
$$I_3 = \frac{188.2 + 142.6}{2} = 167.9 \mu A$$

$$\text{Assim: } I_L = (2 \times 435) + 167.9 = 1038 \mu A$$

$$t_{PCD} = C_L \frac{\Delta V}{I_L} = (2pF) \frac{(1.8-0.3)}{1038} = 289ns$$

CAPÍTULO 6

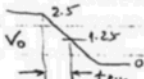
6.13 -



$$K'_n = 3 \text{ kA/V}^2 = 9 \mu\text{A/V}^2$$

$$V_{TN} = |V_{TP}| = 0.5\text{V}$$

$$\beta = 18$$



a)

$$t_{pro} = ?$$

$$V_0 = 0\text{V} \Rightarrow M_2 \text{ saturada}$$

$$I_{SDP} = \frac{1}{2} K'_p \left(\frac{W}{L}\right)_p (V_{DD} - V_{TN})^2$$

$$= \frac{1}{2} \cdot \frac{90}{3} \cdot 11 \cdot (2.5 - 0.5)^2 = 60 \mu\text{A}$$

$$V_0 = 1.25\text{V} \Rightarrow M_2 \text{ linear}$$

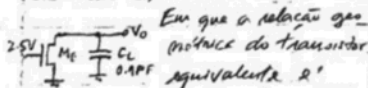
$$I_{SDP} = \frac{1}{2} K'_n \left(\frac{W}{L}\right)_n [2(V_{DD} - V_{TN}) \cdot 1.25 - 1.25^2]$$

$$= \frac{1}{2} \cdot \frac{90}{3} \cdot 11 \cdot [2(2.5 - 0.5) \cdot 1.25 - 1.25^2] = 51.5 \mu\text{A}$$

$$t_{pro} = 0.1 \cdot \frac{1.25}{(60 + 51.5)/2} = 2.24 \text{ ns}$$

$$t_{nm} = ?$$

O circuito equivalente é:



Em que a relação g_m indica o transmissor equivalente R'

$$W/L = 3 \text{ W/mm} / 3 \text{ L/mm} = 1$$

$$V_0 = 2.5\text{V} \Rightarrow M_1 \text{ saturada}$$

$$I_{OS} = \frac{1}{2} K'_p \left(\frac{W}{L}\right)_p (V_{DD} - V_{TP})^2 =$$

$$= \frac{1}{2} \cdot 90 \cdot 11 \cdot (2.5 - 0.5)^2 = 180 \mu\text{A}$$

$$V_0 = V_{TH} = 1.25\text{V} \Rightarrow M_1 \text{ linear}$$

$$I_{OS} = \frac{1}{2} K'_p \left(\frac{W}{L}\right)_p [2(V_{DD} - V_{TP}) \cdot V_{TH} - V_{TH}^2]$$

$$= \frac{1}{2} \cdot 90 \cdot 11 \cdot [2(2.5 - 0.5) \cdot 1.25 - 1.25^2] = 154.7 \mu\text{A}$$

$$t_{nm} = 0.1 \cdot \frac{1.25}{(180 + 154.7)/2} = 0.75 \text{ ns}$$

b) Fechamento de janelha de carga.

Segundo a seção 6.4.7.2,

$$\text{se } \frac{C_V}{C_L} > \frac{V_T}{V_{DD} + V_T} = \frac{0.5}{2.5 + 0.5} = \frac{1}{6}$$

então a tensão final em X é:

$$V_{af} = \frac{C_V}{C_L + C_V} V_{DD}$$

Se, por outro lado $\frac{C_V}{C_L} < \frac{1}{6}$, então

$$V_{af} = V_{DD} - \frac{C_V}{C_L} (V_{DD} - V_T)$$

Vejaamos.

$$1 - C_V = 10 \text{ fF}$$

$$\frac{C_V}{C_L} = \frac{10}{100} = 0.1 < \frac{1}{6} \text{ portanto}$$

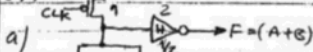
$$V_{af} = 2.5 - \frac{10}{100} (2.5 - 0.5) = 2.3 \text{ V}$$

$$2 - C_V = 20 \text{ fF}$$

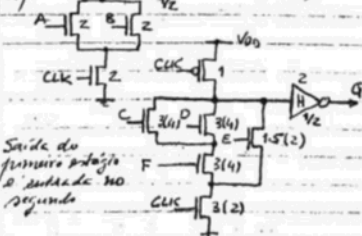
$$\frac{C_V}{C_L} = \frac{20}{100} = 0.2 > \frac{1}{6} \text{ portanto}$$

$$V_{af} = \frac{100}{100 + 20} \cdot 2.5 = 2.08 \text{ V}$$

6.14 -



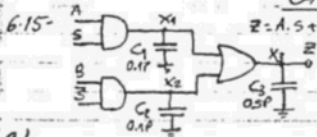
a)



Saída do primeiro estágio é entrada no segundo

b) Os W/L dos transistores estão indicados. Lembrando dos W/L mm no circuito. Os valores entre parênteses indicados no segundo estágio são uma alternativa de dimensionamento.

Capítulo 6



$$Z = A \cdot 5 + B \cdot 5$$

a)

O factor de actividade define-se como $\alpha = P(x=0) \cdot P(x=1)$, mas como eu domino trans. $P(x=0) = 1$ então $\alpha = P(x=1)$

Analisar a potência dinâmica com ajuda pelo circuito 1

$$P_{dyn} = V_{DD}^2 \cdot f \cdot \sum_{i=1}^n C_i \cdot P(x_i=1)$$

$$\alpha_{X1} = P(x_1=1) = P_A \cdot P_B = 0.5^2 = 0.25$$

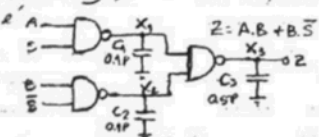
$$\alpha_{X2} = \alpha_{X1} = 0.25$$

$$\begin{aligned} \alpha_{X3} &= P(x_3=1) = 1 - P(x_3=0) = \\ &= 1 - P(x_1=0) \cdot P(x_2=0) = 1 - (1 - P(x_1=1)) \cdot (1 - P(x_2=1)) \\ &= 1 - (1 - 0.25) \cdot (1 - 0.25) = 0.438 \end{aligned}$$

Portanto

$$\begin{aligned} P_{dyn} &= 2.5^2 (1.5 \text{ THz}) (2 \times 0.1 \text{ pF} \times 0.25 + 0.5 \text{ pF} \times 0.438) \\ &= 252 \mu\text{W} // \end{aligned}$$

b) A redução em CHOS com 60nm



$$Z = A \cdot B + B \cdot \bar{B}$$

$$\alpha_{X1} = P(x_1=0) \cdot P(x_1=1) = P_A \cdot P_B (1 - P_A \cdot P_B) = 3/16$$

$$\alpha_{X2} = \alpha_{X1} = 3/16$$

$$\begin{aligned} \alpha_{X3} &= P(x_3=1) = 1 - P(x_3=0) = \\ &= (1 - P_A \cdot P_B) \cdot (1 - P_A \cdot P_B) [1 - (1 - P_A \cdot P_B) \cdot (1 - P_A \cdot P_B)] \\ &= (1 - P_A \cdot P_B)^2 [1 - (1 - P_A \cdot P_B)^2] \\ &= (1 - 1/16)^2 [1 - (1 - 1/16)^2] = 63/256 \end{aligned}$$

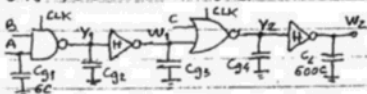
Portanto

$$P_{dyn} = V_{DD}^2 \cdot f \cdot \sum_{i=1}^n C_i \cdot \alpha_i$$

$$\begin{aligned} P_{dyn} &= 2.5^2 (1.5 \text{ THz}) (2 \times 0.1 \text{ pF} \times \frac{3}{16} + 0.5 \text{ pF} \times \frac{63}{256}) \\ &= 150.5 \mu\text{W} // \end{aligned}$$

Potência constante menor, portanto.

6.16- Redesenhando o circuito



$$g_{d1} = 1, g_{d2} = 5/6, g_{d3} = 3/3, g_{d4} = 5/6$$

$$P_{d1} = 4/3, P_{d2} = 5/6, P_{d3} = 5/3, P_{d4} = 5/6$$

$$(Fig. 6.28-b) (Fig. 6.35-a) (Fig. 6.28-c) (Fig. 6.35-a)$$

a) $D_{max} = ?$

$$F = G \cdot B \cdot H = (1 \times 5/6 \times 5/6 \times 5/6) (1) (\frac{600 \text{ C}}{5 \text{ C}}) = 46.3$$

$$f_c = \sqrt[3]{F} = \sqrt[3]{46.3} = 3.61$$

$$\begin{aligned} D_{max} &= N \cdot f_c + \sum P_i = \\ &= 4 \times 3.61 + (4/3 + 5/6 + 5/3 + 5/6) = 15.1 // \end{aligned}$$

b) Diminuição de consumo

Inversor de saída: $\frac{W_P}{W_N}$

$$C_{g4} = g_4 \frac{C_L}{f_c} = \frac{5}{6} \frac{600 \text{ C}}{3.61} = 191.6 \text{ C}$$

$$\text{ou seja } W_P + W_N = 191.6 \text{ e } W_P = 4 \text{ W}_N$$

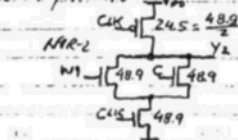
$$\text{O que dá } W_P = 153.3 \text{ e } W_N = 38.3$$

Porta NOR-2:

$$C_{g3} = g_3 \frac{C_L}{f_c} = \frac{3}{2} \frac{191.6 \text{ C}}{3.61} = 48.9 \text{ C}$$

As dimensões na porta NOR-2

seja portanto



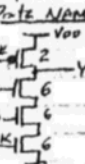
Inversor intermédio:

$$C_{g2} = g_2 \frac{C_L}{f_c} = \frac{5}{6} \frac{48.9 \text{ C}}{3.61} = 15.6 \text{ C}$$

$$\text{ou seja } W_P + W_N = 15.6 \text{ e } W_P = 4 \text{ W}_N$$

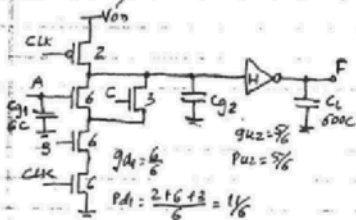
$$\text{O que dá } W_P = 12.5 \text{ e } W_N = 3.12$$

Porta NAND-2:



Para este porte para 1°
fornecimento e relação
de transformação de
capacitância

6.16 (cont.)

c) Implementação de $F = A \cdot B + C$ numa só porta CMOS:

$$F = G_{BH} = (1 \times \frac{9}{6}) (1) \frac{600C}{6C} = \frac{250}{3}$$

$$f_c = \sqrt{F} = \sqrt{\frac{250}{3}} = 9.13$$

$$D_{min} = N \cdot f_c + \sum P_i = 2 \times 9.13 + (1\frac{1}{6} + \frac{9}{6}) = 20.9 //$$

7.1 - Resposta ②

a) Não tem a configuração de um circuito CMOS.

b) Nesse caso teria de se facto com uma latch negativa seguida de uma positiva.

c) O circuito tem duas latches e não opera uma.

d) O circuito é constituído por uma latch positiva seguida de outra negativa. A saída é actualizada quando CLK transita para 0. (o circuito tem, no entanto, um erro - ver Exercício.)

7.2 - Resposta ②

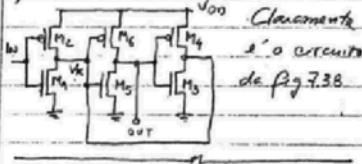
a) Isto irá diminuir o V_H dos inversores M_1/M_2 e M_3/M_4 , dificultando ainda mais a mudança de estado.b) Os pull-downs M_1/M_2 e M_3/M_4 são circuitos para fazer baixar a tensãonos nós \bar{A} e \bar{B} , respectivamente, no momento de comutação. Diminuir a sua 'fôrça' torna a mudança de estado ainda mais difícil.

c) Isto tem o mesmo efeito referido em a).

d) Esta alteração irá aumentar o V_H dos inversores M_1/M_2 e M_3/M_4 , facilitando a comutação da latch.

7.3 - Resposta ⑥

Do layout apresentado pode ver-se que o circuito é:



7.4 - Resposta ②

	A	B			
M ₁	OFF	ON	ON	OFF	OFF
M ₂	OFF	OFF	ON	ON	OFF
M ₃	ON	ON	OFF	OFF	ON
M ₄	ON	OFF	OFF	ON	ON
Y	1	1	0	0	1

7.5 - Resposta ②

a) Aumentar K_{n3} , diminuir K_{n4} , diminuindo V_{HL} e portanto aumentando V_H , e tensão de histerese (Pg 324)c) Diminuir K_{n4} , diminuir K_{n3} , diminuindo V_{HL} e V_H .c) e d) Ambas as acções tendem a reduzir o K_R do inversor de