

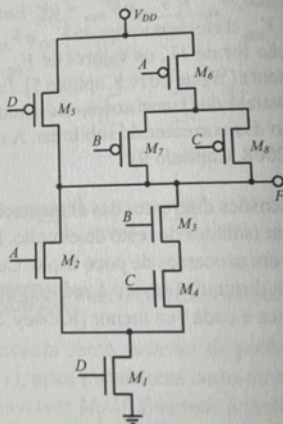
Questões de Revisão e Exercícios

Questões de revisão

Para cada uma das questões seguintes são propostas quatro respostas distintas, sendo que apenas uma está correta. Determine qual.

5.1 Suponha que pretende realizar a porta lógica CMOS da figura seguinte, de tal maneira que os seus tempos de propagação não sejam superiores aos de um inversor CMOS de referência com $(W/L)P = 3$ e $(W/L)N = 2$:

- Seguindo a numeração apresentada para os transístores, as relações (W/L) que verificam o pretendido são 4, 4, 8, 8, 3, 3, 6, 6.
- Existe apenas uma solução para o dimensionamento dos transístores de forma a garantir a condição dos tempos de propagação enunciada.
- Existe uma solução que verifica o pretendido, em que nenhum dos transístores apresenta uma relação (W/L) superior a 6.
- Os transístores M_3 e M_4 têm de ter a mesma relação (W/L) para que se verifique a condição relativa aos tempos de propagação.



5.2 Portas lógicas em CMOS complementar de elevado *fan-in* são, geralmente, tar porque:

- Apresentam valores de esforço lógico muito baixos.
- Apresentam, por norma, capacidades de entrada mais elevadas.
- São demasiado rápidas.

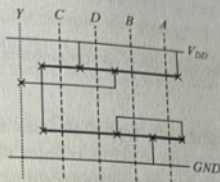
- d) Apresentam, em geral, valores mais elevados de consumo estático devido à condução na região sublimiar.
- 5.3 O diagrama de linhas da figura abaixo representa a implementação física em CMOS

a) $Y = \overline{(A+B)C+D}$.

b) $Y = \overline{(A.B+C).D}$.

c) $Y = \overline{(A.B+C)+D}$.

d) $Y = \overline{(A+B).C.D}$.



- 5.4 Um circuito combinatório apresenta em cada um dos seus 3 estágios os atrasos de *fan-out* 12, 6 e 9. Para otimizar a velocidade deste circuito, os estágios deverão ser redesenhados, de forma a exibir os seguintes valores do atraso de *fan-out*:

a) 8.65, 8.65 e 8.65.

b) 6, 9 e 12.

c) 25.4, 25.4 e 25.4.

d) 6, 6 e 6.

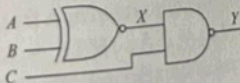
- 5.5 Relativamente ao circuito da figura que se segue, suponha entradas estatisticamente independentes e com valores lógicos equiprováveis ($p_0=p_1=0.5$). Admitindo que a capacidade concentrada nos nós X e Y é de 10fF e 50fF, respetivamente, e que a tensão de alimentação é 2.5V, a potência dinâmica dissipada pelo circuito será dada por:

a) 164.1nW/MHz.

b) 74.2nW/MHz.

c) 187.5nW/MHz.

d) 58.6nW/MHz.



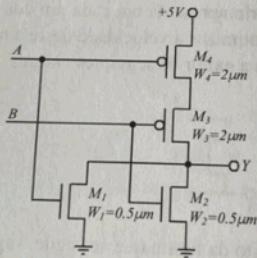
5.6 A técnica denominada VTCMOS consiste em:

- Atuar nas tensões de substrato dos transistores para tirar partido do coeficiente de modulação do comprimento de canal e, assim, reduzir o consumo estático.
- Desligar seletivamente blocos inativos de um circuito para reduzir o consumo estático.
- Usar o efeito de corpo para alterar dinamicamente os valores de V_T dos transistores e reduzir, consequentemente, o consumo estático.
- Diminuir a tensão de substrato dos transistores PMOS e aumentar a tensão de substrato dos transistores NMOS para reduzir o consumo estático.

Exercícios

Em todos os problemas seguintes considere os transistores descritos pelo modelo quadripolar.

5.7 Para os transistores da porta da figura abaixo, admita $k'_n = 2.5k'_p = 8\mu A/V^2$, $V_{Tn} = |V_{Tp}| = 0.8V$ e $L = 0.5\mu m$. Calcule o valor mínimo dos tempos de subida e descida na saída, considerando uma capacidade de carga de $0.5pF$.



5.8 Tendo em conta os parâmetros e o circuito fornecidos no Exercício 5.7, estime o valor do limiar de comutação, V_{M^*} da porta para os casos em que:

- A e B mudam de estado simultaneamente.
- A muda de estado e B permanece no nível lógico 0.

5.9 Considere a implementação, numa única célula CMOS complementar, da função $F = A + B.(C + D)$:

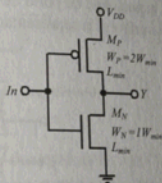
- Se o inversor que é adotado como referência for constituído por transistores com razões geométricas $(W/L)_p = 2.5$ e $(W/L)_n = 1.5$, quais deverão ser as razões geométricas dos transistores correspondentes às entradas A a D para que a função

mentação presente, no pior caso, os mesmos tempos de propagação do inversor de referência?

- b) Sabendo que o circuito da alínea a) deste exercício é alimentado a 3V e que as combinações lógicas nas entradas A e D são uniformemente distribuídas, determine uma medida da potência dinâmica consumida em $W/MHz/pF$.

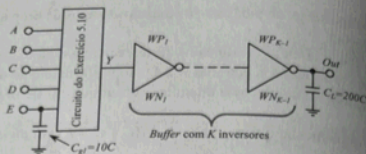
5.10 Pretende-se implementar a função $Y = A + B(C + D + E)$ em lógica CMOS complementar:

- a) Apresente o esquema elétrico de uma implementação desta função numa única célula CMOS e dimensione os respetivos transistores, tendo em conta que o circuito não deve exibir tempos de propagação superiores aos do inversor de referência da figura abaixo. Caso haja mais do que uma solução de dimensionamento, escolha uma em que nenhuma das entradas apresente um valor de esforço lógico superior a 4.
- b) Sabendo que a realização física do circuito deve ocupar a menor área possível e obedecer às regras gerais do desenho estrutural das células-padrão, apresente o respetivo diagrama de linhas, indicando as dimensões que ficam determinadas pelo dimensionamento realizado na alínea a) deste exercício.



5.11 Queremos munir o circuito dimensionado no Exercício 5.10 com um *buffer* de saída, como representado na figura que se segue. Considere o tempo de atraso da entrada E para a saída e as capacidades de entrada e saída indicadas. Admitindo um atraso de *fan-out* por estágio de 4, calcule:

- a) O número de inversores do *buffer* que minimiza o atraso de E para Out .
- b) O valor deste atraso.
- c) A dimensão (W , em unidades de W_{min}) dos transistores do *buffer*.
- d) O atraso de E para Out sem *buffer* e com o mesmo valor de C_L .

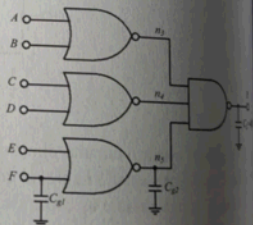
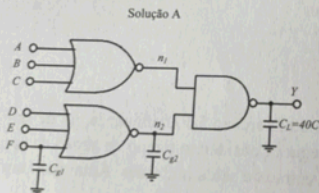


Nota: As capacidades são expressas em função da unidade C , que, como saber-se-á, responde à capacidade de porta de um transistor de dimensões mínimas. O transistor de referência da figura do Exercício 5.10 apresenta uma capacidade de entrada de $3C$ e uma capacidade de saída (C_p) também de $3C$.

- 5.12 Considere a implementação, numa única célula CMOS complementar, da função $Z = (A + B)(C + D) + E$. Mostre que o *layout* desta célula, a ser realizado segundo as regras gerais do desenho estrutural das células-padrão, tem de ter, necessariamente, uma das difusões, n ou p , interrompida.

- 5.13 Considere as duas realizações da função *OR-6* da figura que se segue e um processo CMOS em que $C = 9fF$ (a capacidade de porta de um transistor de dimensões mínimas). Assuma o inversor de referência representado na figura do Exercício 5.10.

Solução B



- a) Admitindo que a capacidade em qualquer uma das entradas (C_{g1} , na última figura apresentada) não pode exceder $65fF$ e que $C_L = 40C = 360fF$, determine qual das duas implementações é a mais rápida. Dimensione a implementação mais rápida e apresente o valor da largura de canal dos transistores em unidades de W_{ref} .
- b) Compare agora as duas implementações em termos da potência dinâmica dissipada (P_{dyn}). Para simplificar a análise, assuma que as capacidades nos dois nós (n_1 e n_2) têm o mesmo valor. Considere que a probabilidade de cada uma das entradas estar a 1 é de 0.5.

5.14 Neste exercício, considere um CMOS com

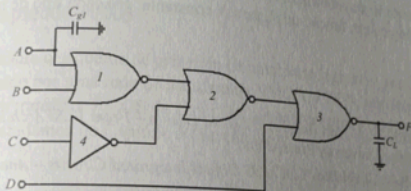
- a) Obtenha a única célula CMOS complementar que realize a função $Z = (A + B)(C + D) + E$. Mostre que o *layout* desta célula, a ser realizado segundo as regras gerais do desenho estrutural das células-padrão, tem de ter, necessariamente, uma das difusões, n ou p , interrompida.
- b) Aproxime a potência dinâmica dissipada por esta célula, assumindo que a probabilidade de cada uma das entradas estar a 1 é de 0.5.

5.15 A figura mostra a distribuição de capacitâncias de uma célula CMOS. Os sinais de entrada são CLK_x e CLK_y . As alíneas

- a) Calcule a potência dinâmica dissipada por esta célula, assumindo que a probabilidade de cada uma das entradas estar a 1 é de 0.5.
- b) Diminua a largura de canal dos transistores de modo a reduzir a potência dinâmica dissipada para metade. Qual é o valor da largura de canal dos transistores em unidades de W_{ref} ?

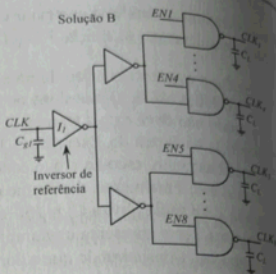
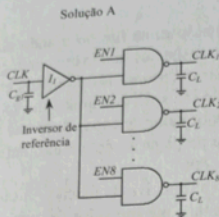
5.14 Neste exercício pretende-se comparar o desempenho de duas implementações em CMOS complementar da função $F = (A + B)C + D$.

- a) Obtenha o esquema elétrico de uma implementação desta função usando uma única célula CMOS. Dimensione os respetivos transístores, tendo em conta que o circuito não deve exibir tempos de propagação superiores aos do inversor de referência da figura do Exercício 5.10. Havendo mais do que uma solução de dimensionamento, escolha a que conduz ao menor valor de capacidade nas entradas A e B . Finalmente, determine o atraso de propagação do circuito entre a entrada A e a saída F para $C_L = 16C$ e para $C_L = 80C$.
- b) A próxima figura apresenta uma implementação alternativa da função F usando de de entrada (C_{el}) presente na entrada A do circuito da alínea a), calcule o atraso de capacidade de carga: $C_L = 16C$ e $C_L = 80C$. Compare os valores obtidos com os atrasos da implementação anterior.



5.15 A figura seguinte mostra duas soluções em CMOS complementar propostas para distribuir um sinal de relógio num circuito integrado. I_1 é igual ao inversor de referência da figura do Exercício 5.10 e apresenta $C_{el} = 18fF$. C_L tem o valor de $0.22pF$. Os sinais ENx permitem desativar individualmente cada um dos sinais de relógio $CLKx$ para poupar energia nos circuitos associados (podem ser considerados a 1 nas alíneas seguintes):

- a) Calcule o atraso mínimo (normalizado) exibido por cada uma das soluções entre a entrada CLK e qualquer uma das saídas $CLKx$.
- b) Dimensione a solução B de forma a exibir o atraso mínimo entre a entrada CLK e qualquer uma das saídas $CLKx$. Indique o tamanho de cada um dos transístores e das portas em função de W_{min} (note que as dimensões de I_1 já foram fornecidas).



- 5.16 Calcule expressões para o esforço lógico e o atraso parasita de portas CMOS complementares do tipo NAND e NOR, com N entradas, dimensionadas com base num inversor unitário de referência com $W_N = 1W_{min}$ e $W_P = \beta W_{min}$. Verifique como varia o esforço lógico em função de β , para N constante, em cada tipo de porta.

Bibliografia

- [Kaeslin 2008] Kaeslin H., *Digital Integrated Circuit Design – From VLSI Architectures to CMOS Fabrication*, Cambridge University Press, 2008.
- [Kang 2003] Kang S.-M., Leblebici Y., *CMOS Digital Integrated Circuits – Analysis and Design*, 3rd Ed., McGraw-Hill, 2003.
- [Rabaey 2003] Rabaey J. M., Chandrakasan A., Nikolic B., *Digital Integrated Circuits – A Design Perspective*, 2nd Ed., Prentice Hall, 2003.
- [Sutherland 1998] Sutherland I., Sproull B., Harris D., *Logical Effort: Designing Fast CMOS Circuits*, Morgan Kaufman, 1998.
- [Weste 2005] Weste N. H. E., Harris D., *CMOS VLSI Design – A Circuit and Systems Perspective*, 3rd Ed., Addison Wesley, 2005.
- [Weste 2011] Weste N. H. E., Harris D., *CMOS VLSI Design – A Circuit and Systems Perspective*, 4th Ed., Addison Wesley, 2011.

CAPÍTULO 5

5.1- Resposta ②

- a) Esta solução de dimensionamento está incorreta no 4% de M_6 . A solução correcta seria 4,4, 8, 8, 3, 6, 6, 6.
- b) Existe sempre mais do que uma solução.
- c) Existe sim: 6, 3, 6, 6, 3, 6, 6, 6.
- d) Não necessariamente. O que se precisa é que as relações 4% de M_3 e M_4 , em conjunto com a de M_1 correspondam a um 4% equivalente de 2.

observação é suficiente para relacionar a resposta d) e rejeitar todas as outras.

Resposta ②

5.4- O atraso mínimo de uma cadeia de N portas é conseguido quando o atraso de fan-out de cada estágio, f_i , é dado por

$$f_i = f_c = \sqrt{F}$$

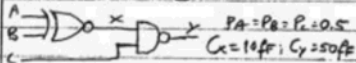
sendo F o produto de todos os atrasos de fan-out

$$F = \prod_{i=1}^N f_i$$

Seja assim, temos

$$f_c = \sqrt[3]{12 \times 6 \times 9} = 8.65 \text{ ns}$$

5.5- Resposta ⑥



$$P(x=1) = P_A \cdot P_B + (1 - P_A)(1 - P_B) = 0.5$$

$$P(x=0) = P(x=1) = 1/4$$

$$P(y=1) = 1 - P(y=0) = 1 - P(x=1) \cdot P_C = 3/4$$

$$P(y=0) = P(x=1) \cdot P_C = (1/4) \cdot (3/4) = 3/16$$

Portanto

$$P_{dyn} = V_{DD} \cdot f \cdot \sum C_i x_i$$

$$= 2.5^2 (1 \text{ M}) (100 \cdot 1/4 + 50 \cdot 3/16)$$

$$= 74.2 \text{ nW/MHz}$$

5.6- Resposta ③

→ a) Não se tira partido da cooperação de modulação do comprimento de canal, λ , mas sim do factor de corpo, γ .

→ b) Isso é o Power gating.

→ c) Ver a)

→ d) Em VT CMOS as variações das tensões de substrato são exactamente as contrárias da que é indicado.

5.2- Resposta ②

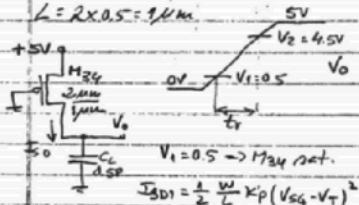
- a) Pelo contrário: quanto maior o fan-in, maior o esforço lógico.
- b) Sim, fan-ins mais elevados exigem transistores maiores o que resulta em capacidades de entrada de mais elevadas.
- c) Capacidade intrínseca mais elevada (resultante de transistores maiores) nunca pode ser o origem a portas rápidas.
- d) A corrente de sublimação é essencialmente dependente do valor de V_t . Além disso, se o fan-in elevada se traduzir em mais transistores em série, a corrente de sublimação pode até ser mais reduzida devido ao efeito de empilhamento (ver secção 5.6.3).

5.3- Resposta ①

Os transistores das entradas A e B estão em paralelo no PDN. Estão também em série com os transistores das entradas C e D. Se esta

CAPITULO 5

5.7- $t_r = ?$ Aqui interna consid.
 para o pñu e Pñu, tendo o
 transistor equivalente $W = 2\mu m$
 $L = 2 \times 0.5 = 1\mu m$



$$I_{SD1} = \frac{1}{2} \cdot \frac{2}{2.5} \cdot \frac{8}{2.5} (5 - 0.8)^2 = 56.45 \mu A$$

$V_i = 4.5 \Rightarrow M_{34}$ linear

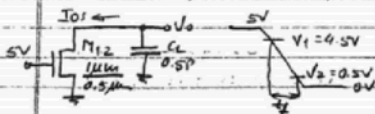
$$I_{SD2} = \frac{1}{2} \cdot \frac{2}{2.5} \cdot \frac{8}{2.5} [2(5 - 0.8)0.5 - 0.5^2] = 12.6 \mu A$$

$$I_{SD} = \frac{I_{SD1} + I_{SD2}}{2} = 34.55 \mu A$$

$$t_r = C_L \frac{\Delta V}{I_{SD}} = 0.5 \frac{4}{34.55} = 57.9 ns$$

$t_f = ?$ Aqui interna consideram
 o Pñu na situação mais favorável,
 ou seja q' ambos M_1 e M_2 activos.
 O transistor equivalente ao Pñu

t_{fa} $W = 2 \times 0.5 \mu m$ e $L = 0.5 \mu m$



$V_i = 4.5V \Rightarrow M_{12}$ sat.

$$I_{SD1} = \frac{1}{2} \cdot \frac{1}{0.5} \cdot 8 (5 - 0.8)^2 = 141.12 \mu A$$

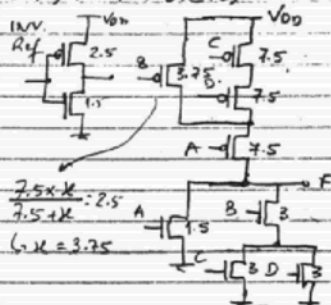
$V_2 = 0.5 \Rightarrow M_{12}$ linear

$$I_{SD2} = \frac{1}{2} \cdot \frac{1}{0.5} \cdot 8 [2(5 - 0.8)0.5 - 0.5^2] = 31.6 \mu A$$

$$I_{SD} = (I_{SD1} + I_{SD2})/2 = 86.36 \mu A$$

$$t_f = 0.5 \frac{4}{86.36} = 23.2 ns$$

$$5.9a) F = A + B(C+D)$$



$$b) F = A + B(C+D)$$

Cálculo mais $P(F=1)$

$$P(F=1) = P(A=0 \wedge B(C+D)=0) =$$

$$= P(A=0) \cdot P[B(C+D)=0]$$

$$P[B(C+D)=0] = P[B=0 \vee (C+D)=0] =$$

$$= P(B=0) + P[(C+D)=0] - P[B=0 \wedge (C+D)=0]$$

$$P[(C+D)=0] = P(C=0 \wedge D=0) = P(C=0) \cdot P(D=0)$$

$$P[B=0 \wedge (C+D)=0] = P(B=0) \cdot P(C=0) \cdot P(D=0)$$

Assim:

$$P(F=1) = \frac{1}{2} \left(\frac{1}{2} + \frac{1}{2} \frac{1}{2} - \frac{1}{2} \frac{1}{2} \frac{1}{2} \right) = \frac{5}{16}$$

$$\text{Logo } P(F=0) = 1 - \frac{5}{16} = \frac{11}{16}$$

O factor de actividade de α

$$\alpha = P_0 P_1 = \frac{11}{16} \times \frac{5}{16} = \frac{55}{16^2}$$

$$P_{dyn} = V_{DD}^2 \cdot \alpha \cdot f \cdot C_L = 5^2 \frac{55}{16^2} 10^8 10^{-12}$$

$$P_{dyn} = 1.93 \mu W / MHz / PF$$

5-8- a) Com A e B a transistor simultaneamente, o inversor equi-
valente é:

$$V_i \rightarrow \begin{array}{c} +5V \\ | \\ M_P \\ | \\ M_N \\ | \\ \text{GND} \end{array}$$

$$\left(\frac{W}{L}\right)_P = \frac{2}{2 \times 0.5} = 2$$

$$\left(\frac{W}{L}\right)_N = \frac{2 \times 0.5}{0.5} = 2$$

$$K_P = \frac{1}{2} K'_P \left(\frac{W}{L}\right)_P = \frac{1}{2} \frac{8}{2.5} (2) = 3.2 \mu A/V^2$$

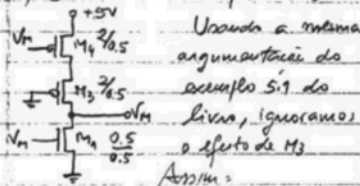
$$K_N = \frac{1}{2} K'_N \left(\frac{W}{L}\right)_N = \frac{1}{2} 8 (2) = 8 \mu A/V^2$$

$$K_R = \frac{K_P}{K_N} = \frac{3.2}{8} = 0.4$$

Usando a equação 3.5

$$V_M = \frac{V_{TN} + \sqrt{K_R} (V_{DD} - |V_{TP}|)}{1 + \sqrt{K_R}} = 2.12V$$

b) Com A = 1 e B = 0 ficamos com:

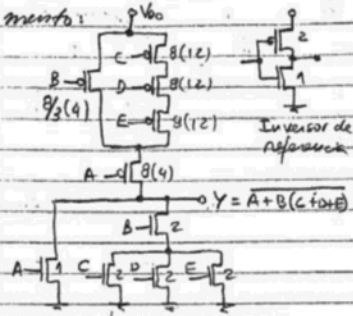


Assim:

$$K_R = \frac{K_P}{K_N} = \frac{1/2 (3/0.5) (3/0.5)}{1/2 (8) (0.5/0.5)} = 1.6$$

Usando $K_R = 1.6$ na equação 3.5 obtemos $V_M = 2.70V$

5.10- a) Circuito e dimensiona-
mento:



Esforços lógicos e atraso para a solução principal

gA	gB	gC	gD	gE	P
3	14/3	10/3	10/3	10/3	11/3

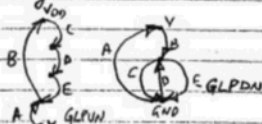
$$g_B = (8/3 + 2)/3 = 14/9$$

Esforços lógicos e atraso para a solução entre parênteses

gA	gB	gC	gD	gE	P
5/3	2	14/3	14/3	14/3	7/3

Esta solução não cumpre os requisitos porque $g_C = g_D = g_E > 4$

b) Diagrama de linhas:



Caminho Esfor: A-B-C-D-E

