

CAPÍTULO 5

5.19 - a) $N = ?$

$$F = \frac{1}{N} f_i = 4^N \text{ on } N = \frac{\ln F}{\ln(4)}$$

seu $F = 5 \text{ GHz} = \left(\frac{10}{3}\right) (1) \frac{2000}{100} = \frac{200}{3}$

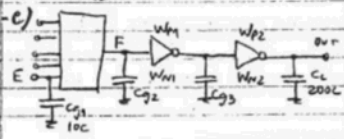
$$N = \frac{\ln(200/3)}{\ln(4)} = 3.03 \approx 3$$

O buffer deve ter, portanto 2 inversões

b) O atraso de E para a saída e dado por (Eq. 5.19)

$$D_{\text{min}} = N \cdot f + \sum_{i=1}^N \tau_i = 3 \times 4 + \left(\frac{11}{3} + 1 + 1\right)$$

$$D_{\text{min}} = 17.7 \text{ (unidades normalizadas)}$$



Usando a relação de transformação de capacidades (Eq. 5.28), fazemos

$$Cg3 = 93 \frac{CL}{F} = 1 \frac{2000}{4} = 500$$

portanto $Wp2 + Wn2 = 50$ e $Wp2 = 2Wn2$ donde $Wp2 = 33.3$ e $Wn2 = 16.7$ em unidades de $Wn1$.

$$Cg2 = 1 \frac{500}{4} = 12.5$$

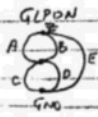
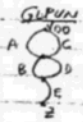
$Wp1 + Wn1 = 12.5$ e $Wp1 = 2Wn1$ donde $Wp1 = 8.3$ e $Wn1 = 4.2$

d) Sem o buffer o atraso do circuito e (Eq. 5.18)

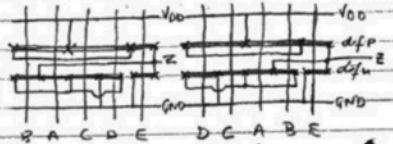
$$d = gh + p = \left(\frac{10}{3}\right) \left(\frac{2000}{100}\right) + \frac{11}{3} = 70.3$$

5.12 - $Z = (A+B)(C+D) + E$

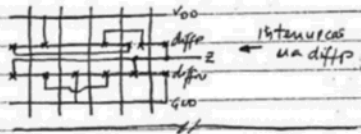
Para esta função os grafos Lógicos são:



Como se vê dos grafos, não existe um caminho de Euler que seja constante, o que implica que o layout vai ter, necessariamente, uma das difusões interrompidas. Soluções possíveis:



↑ interrompa a diff1



↑ interrompa a diff2

5.13 - a) Nos dois casos $H = \frac{Cn}{Cg1} \cdot 400$

Solução A:

$$F_A = GBH = \left(\frac{7}{3}\right) \left(\frac{4}{3}\right) (1) H = \frac{28}{9} H$$

$$D_{\text{min}} = 2 \sqrt{F_A} + \sum \tau_i = 3.53 \sqrt{H} + (3+2)$$

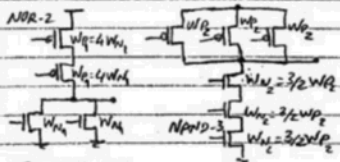
Solução B:

$$F_B = \left(\frac{7}{3}\right) \left(\frac{5}{3}\right) (1) H = \frac{35}{9} H$$

$$D_{\text{min}} = 2 \sqrt{\frac{35}{9} H} + (2+3) = 3.33 \sqrt{H} + 5$$

Portanto para o mesmo valor de H a solução B é mais rápida

Vamos então dimensionar a B.



$$Cg1 = Wp1 + Wn1 = 5Wn1$$

$$Cg2 = Wp2 + Wn2 = \frac{5}{2} Wp2$$

CAPÍTULO 5

5.13-a) (Cont.)

Pretende-se $C_{g1} < 65 \text{ fF} = \frac{65}{10^3} \cdot 7.2$

$$C_{g1} = 5 W_N < 7.2 \Rightarrow W_N < 1.44$$

Fixemos então $W_N = 1.4$ o que

$$\text{de } W_P = 4 \times 1.4 = 5.6$$

Isto dá $C_{g1} = W_N W_P = 7$. Podemos agora calcular F

$$F = G B H = \left(\frac{25}{9}\right) (1) \frac{400}{72} = 15.9$$

Usando a relação de transformação de capacidades

$$C_{g2} = g_2 \frac{C_L}{\sqrt{F}} = \frac{5}{3} \frac{400}{\sqrt{15.9}} = 15.80$$

$$\text{Logo } C_{g2} = \frac{5}{3} W_P = 15.8 \Leftrightarrow W_P = 6.3$$

$$\text{ou seja } W_N = \frac{5}{3} W_P = 9.5$$

Concluindo, as portas NAND-2

dormão ta $W_{N1} = 1.4$, $W_{P1} = 5.6$ eNAND-3, $W_{N2} = 9.5$, $W_{P2} = 6.3$, tendoexpressos em unidades de W_{N1} .

b)

Começamos pelo factor de actividade. Na Solução A temos:

$$X_{NOR3} = P_0 P_1 = (1 - P_1) P_1$$

$$\text{onde } P_1 = P(A=0) \cdot P(B=0) \cdot P(C=0)$$

$$= \frac{1}{2} \times \frac{1}{2} \times \frac{1}{2} = \frac{1}{8}$$

$$\text{Logo } X_{NOR3} = (1 - \frac{1}{8}) \frac{1}{8} = \frac{7}{64}$$

isto é o factor de actividade em m/s η_1 e η_2 .

$$X_{NOR6} = P_0 P_1 = P_0 (1 - P_1)$$

$$C_1 P_1 = (\frac{1}{2})^6 = \frac{1}{64}$$

$$\text{Logo } X_{NOR6} = \frac{1}{64} (1 - \frac{1}{64}) = \frac{63}{2^{12}}$$

Vejamos agora a Solução B:

$$X_{NOR2} = (1 - P_1) P_1$$

$$\text{onde } P_1 = (\frac{1}{2})^2 = \frac{1}{4} \text{ e } X_{NOR2} = \frac{3}{16}$$

O factor de actividade na saída do NAND-2 tem de ser o mesmo que o obtido para a saída da Solução A, ou seja $\frac{63}{2^{12}}$.

Para comparar a potência dinâmica das duas implementações calculamos o valor de Capacidade Efectiva Total (Eq. 5.32) de cada uma:

$$C_{ET-A} = \sum \alpha_i C_i = 2X_{NOR3} C_1 + X_{NOR6} C_6$$

$$C_{ET-A} = 2 \left(\frac{3}{64}\right) C_1 + \left(\frac{63}{2^{12}}\right) C_6$$

Por que vez para a Solução B

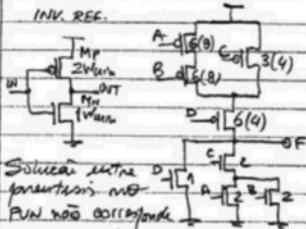
$$C_{ET-B} = 3 \left(\frac{3}{16}\right) C_1 + \left(\frac{63}{2^{12}}\right) C_6$$

Assumindo que o valor de C_1 em cada um dos casos é o mesmoconcluimos que $C_{ET-B} > C_{ET-A}$,

portanto a solução B é mais dispendiosa do ponto de vista da potência dinâmica.

$$5.14-a) \quad F = (A+B) \cdot C + D$$

INV. REC.



Solução entre D e F para os casos A=0, B=0, C=0, D=0. PUN não corresponde ao menor valor de capacidade na entrada A x B, logo não interessa.

Para a saída A temos

$$C_A = (2 + C)C = 8C \text{ e } g_A = \frac{6+2}{3} = \frac{8}{3}$$

O atraso parasita do circuito é

$$P = \frac{6+2+1}{3} = 3$$

Assim o atraso da implementação de A para F é

$$d_A F = g_A P + \left(\frac{8}{3}\right) \frac{C_6}{8C} + 3 = \frac{C_6}{3C} + 3$$

o que dá

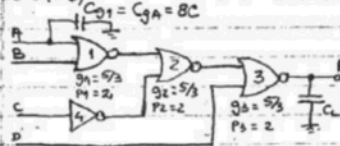
$$d_A F (C_6 = 16C) = 8.33;$$

$$d_A F (C_6 = 800) = 29.7$$

em unidades de TPO.

CAPITULO 5

5.14-b)



Para obter o atraso mínimo desta implementação calculamos

$$F = G.B.H = \left(\frac{5}{3}\right)^3 \times 1 \times \frac{C_L}{8C}$$

$$Dimin(A-F) = N f_c + \sum P_i \quad C_i f_c = \sqrt[3]{F}$$

$$Dimin(A-A) = \frac{5}{2} \sqrt[3]{\frac{C_L}{C}} + 6 \quad (\text{unidades } \tau_{PD})$$

que dá 12.3 - p/ $C_L = 46C$
e 16.8 - p/ $C_L = 80C$

Esta segunda implementação não é mais rápida, portanto, para valores mais elevados de C_L .

5.15-a) SOLUÇÃO A

$g_1=1$; $p_1=1$ e $g_2=4/3$; $p_2=2$
NAND2

$$F_A = G.B.H = (1 \times \frac{4}{3})(8) \frac{320}{18} = 130.4$$

$$DiminA = N \sqrt[3]{F} + \sum P_i = 2 \sqrt[3]{130.4} + (1+2)$$

$$DiminA = 25.8 \quad (\text{unidades de } \tau_{PD})$$

SOLUÇÃO B

$g_1=g_2=1$; $p_1=p_2=1$ e $g_3=4/3$; $p_3=2$

$$F_B = (1 \times 1 \times \frac{4}{3})(2 \times 4) \frac{320}{18} = 130.4$$

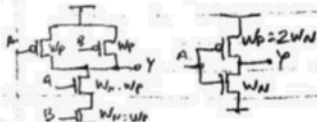
$$DiminB = 3 \sqrt[3]{130.4} + (1+1+2) = 29.2$$

b) Dimensionamento da SOLU. B

$$F_B = 130.4; \quad f_{cB} = \sqrt[3]{F_B} = 5.07$$

$$C_{g1} = 18 f_c = 3C \Rightarrow C = 6 f_c$$

$$C_L = 220 f_c = \frac{220}{5.07} = 36.7C$$



Relação de Transformação de Capacidades: $C_{gi} = g_i \frac{C_{pi+1}}{f_c}$

Como o primeiro estágio, ou seja a porta NAND-2:

$$C_{g3} = g_3 \frac{C_L}{f_{cB}} = \left(\frac{4}{3}\right) \frac{36.7C}{5.07} = 9.65C$$

da porta NAND-2 temos

$$W_N + W_P = 9.65 \quad (\text{unidades } W_{min})$$

e $W_N = W_P$, ou seja

$$W_N = W_P = 4.83 W_{min}$$

Passando aos inversores do segundo estágio:

$$C_{g2} = g_2 \frac{4 C_{g3}}{f_{cB}} = (1) \frac{4 \times 9.65C}{5.07}$$

$$C_{g2} = 7.61C$$

ou seja $W_P + W_N = 7.61$ e $W_P = 2W_N$

$$\text{logo } W_N = 2.54 W_{min} \text{ e } W_P = 5.08 W_{min}$$

Se para confirmar os cálculos podemos calcular também a dimensão de I_0 (que já conhecemos):

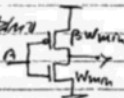
$$C_{g1} = g_1 \frac{2 C_{g2}}{f_{cB}} = (1) \frac{2 \times 7.61C}{5.07} = 3C$$

ou seja obtemos o resultado esperado.

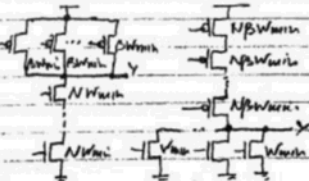
5.16 - Inversor unitário

$$C_g = (\beta + 1)C$$

$$C_o = (\beta + 1)C$$



As portas NAND-NE NOR-N dimensionadas para base neste inversor serão:



NAND-N

$$C_g = (\beta + 1)C$$

$$g = \frac{\beta + 1}{\beta + 1}$$

NOR-N

$$C_g = (\beta + 1)C$$

$$g = \frac{\beta + 1}{\beta + 1}$$

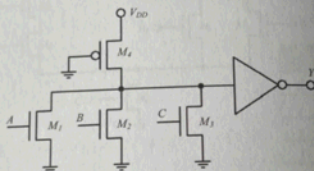
Questões de Revisão e Exercícios

Questões de revisão

Para cada uma das questões seguintes são propostas quatro respostas distintas, sendo que apenas uma está correta. Determine qual.

6.1 Um aluno dimensionou mal a porta lógica da figura seguinte. Em consequência, alguns lotes de produção do circuito falham da seguinte maneira: Y só é 1 quando duas ou todas as entradas estão a 1. Este sintoma é exacerbado no extremo do funcionamento SF . A origem do problema pode estar, provavelmente, no seguinte:

- a) A configuração usada não é adequada para f_{an} maiores do que 2.
- b) O valor menos favorável de K_{Res} é demasiado pequeno.**
- c) A razão geométrica dos transistores M_1 , M_2 e M_3 é excessiva.
- d) M_4 apresenta um valor de $|V_{TP}|$ demasiado elevado.



6.2 A família lógica MOS que requer o maior número de transistores para implementar um OR de 3 entradas é a:

- a) CMOS dominó.
- b) NMOS com carga de depleção.
- c) CMOS complementar.**
- d) Pseudo-NMOS.

6.3 No circuito da próxima figura considere $V_{T1} = |V_{T2}| = V_T$ e ignore o efeito de corpo. Se V_i assumir os valores de tensão 0 e V_{DD} , os valores correspondentes em V_o serão, respetivamente:

- a) V_T e V_{DD} .**
- b) V_T e V_T .
- c) V_T e $V_{DD} - V_T$.
- d) 0 e V_{DD} .

6.4 Considere que se acordo com o diagrama instantes t_1 a t_2 é, respectivamente:

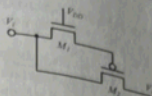
- a) 0, 1, 0, 1.
- b) 1, 0, 1, 0.**
- c) 0, 1, 1, 0.
- d) 1, 0, 0, 1.

6.5 Relativamente a:

- a) O efeito de carga de depleção.
- b) Uma porta lógica.
- c) A dissipação de potência.
- d) Durante o funcionamento.**

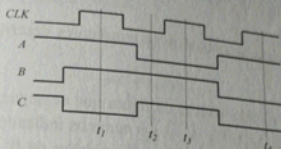
6.6 No circuito da figura seguinte, considerando $V_{T1} = V_{T2} = V_T$ e $V_{DD} = 1$, os valores de V_o para $V_i = 0$ e $V_i = 1$, respetivamente, são:

- a) 0 e 1.**
- b) 1 e 0.
- c) 0 e 1.
- d) 1 e 0.



- 6.4 Considere que as entradas do circuito da Figura 6.32 variam entre $0V$ e V_{DD} de acordo com o diagrama temporal da figura abaixo. O valor lógico da saída V_x nos instantes t_1 , t_2 e t_3 é, respectivamente:

- $0, 1, 0, 1$.
- $1, 0, 1, 0$.
- $0, 1, 1, 0$.
- $1, 0, 0, 1$.

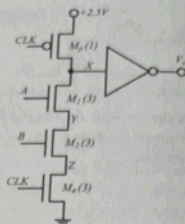


- 6.5 Relativamente às portas dominó, é verdade que:

- O efeito mais importante das correntes de fuga é a limitação da frequência máxima de funcionamento.
- Uma porta de N entradas exige na sua implementação um total de $N+2$ transistores.
- A dissipação de potência é a mais baixa entre os circuitos CMOS devido ao reduzido fator de atividade associado a estas portas.
- Durante a fase de cálculo, as únicas transições possíveis na saída são as transições ascendentes.

- 6.6 No circuito da figura seguinte, suponha as entradas A e B com os valores lógicos 0 e 1 , respetivamente. Na fase de cálculo, constatou-se que a saída V_x assume, inicialmente, o valor lógico 0 , mas depois muda inesperadamente para 1 . Este comportamento anómalo pode dever-se:

- À corrente de sublimiar que circula no PDN.
- Ao efeito de partilha de carga entre os nós X e Y .
- Ao efeito de partilha de carga entre os nós X e Z .
- À corrente de sublimiar em M_p .

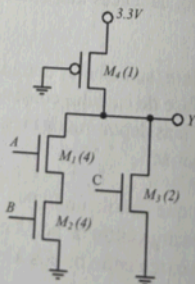


Exercícios

Em todos os problemas seguintes considere os transistores descritos pelo modelo quadrático.

- 6.7 Atente no circuito pseudo-NMOS da figura que se segue, em que $k'_n = 2.5 \mu A/V^2$, $120 \mu A/V^2$, $V_{tn} = |V_{tp}| = 0.5V$ e $\gamma = 0$. Os números indicados junto a cada transistor correspondem ao valor do W respectivo em unidades de W_{min} . Para todos os transistores, considere $L = L_{min} = W_{min}$. Determine:

- O valor menos favorável de V_{OL} em Y .
- A potência estática média dissipada pelo circuito.
- A potência dinâmica consumida pelo circuito quando funciona a $30MHz$ com uma capacidade de carga de $2pF$. Assuma que a probabilidade de as entradas A , B e C estarem ao nível lógico 1 é, respectivamente, de 0.5 , 0.3 e 0.3 .



6.8 O circuito pseudo-

- Dete dent
- Con paci tran liza

6.9 O circ Mark parasit médio plem

6.10 No táq de en

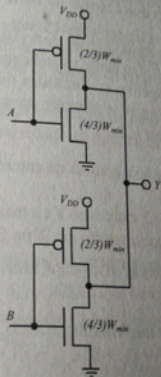
6.11 C

- a
- b

6.8 O circuito da figura do Exercício 6.7 foi dimensionado com base num inversor pseudo-NMOS de referência com $W_P = 1W_{min}$ e $W_N = 2W_{min}$.

- Determine os valores médios do esforço lógico e do atraso parasita correspondentes a cada uma das entradas do circuito.
- Considere que o circuito foi ligado a um inversor pseudo-NMOS. A carga capacitiva na saída deste inversor é de $50C$, sendo C a capacidade de porta de um transistor de dimensões mínimas. Calcule o valor mínimo, em unidades normalizadas, do atraso médio entre a entrada A e a saída do inversor.

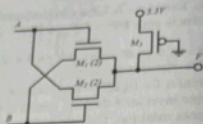
6.9 O circuito da próxima figura é uma porta NOR simétrica proposta, em 1988, por Mark Johnson [Johnson 1988]. Calcule os valores dos esforços lógicos e atrasos médios obtidos com os valores de implementações pseudo-NMOS e CMOS complementar da mesma função lógica.



6.10 No Exemplo 6.1, obtivemos o valor médio do atraso de uma configuração de 2 estágios baseada numa porta NOR- k pseudo-NMOS. Sem alterar o dimensionamento determinado, calcule agora o atraso sofrido por uma transição ascendente numa das entradas. Repita o problema para uma transição descendente.

6.11 Considere o circuito lógico com transistores de passagem da figura seguinte:

- Qual é a função lógica realizada pelo circuito?
- Será o transistor M_3 indispensável para a realização da função lógica? Justifique.



6.12 No circuito da figura do Exercício 6.11, considere $k'_n = 2.5k'_p = 120 \mu A/V^2$, $V_{th} = |V_{tp}| = 0.5V$ e $\gamma = 0$. Para todos os transistores, suponha $L = L_{min}$ e $W = 2W_{min}$ nos transistores NMOS:

- Calcule a geometria de M_1 de forma a ter $V_{ol} = 0.3V$.
- Admitindo $W_{M1} = 1W_{min}$, $A = B = 1$ e uma capacidade de carga de $2pF$, determine o tempo necessário para que a tensão na saída varie desde 0.3 até $1.8V$.

6.13 Para a porta dinâmica da figura da Questão de revisão 6.6, assuma $k'_n = 3k'_p = 90 \mu A/V^2$, $V_{th} = |V_{tp}| = 0.5V$ e $\gamma = 0$. Os números indicados junto a cada transistor correspondem ao valor do W respectivo em unidades de W_{min} . Para todos os transistores, assuma $L = L_{min} = W_{min}$. Ignore o inversor de saída e considere uma capacidade concentrada no nó X de valor $0.1pF$:

- Considerando transições instantâneas na entrada, calcule os tempos de pré-carga e t_{pHL} .
- Admita uma capacidade C_x entre o nó Y e a massa e considere $A = B = 0$ no início da fase cálculo. Determine a tensão em X no fim da fase de cálculo, se, durante esta fase, a entrada A transitar para 1 . Faça os cálculos para dois valores de C_x , 10 e $20fF$.

6.14 Pretende-se um circuito que implemente, usando lógica dominó e o menor número de transistores, as funções $F = (A + B)$ e $G = (A + B)(C + D) + E$:

- Apresente o esquema elétrico do circuito.
- Dimensione o circuito tendo em conta um inversor CMOS de referência com $W_N = 1W_{min}$ e $W_P = 2W_{min}$.

6.15 Considere o *multiplexer* 2:1 da figura que se segue. Os condensadores C_1 , C_2 e C_3 representam as capacidades concentradas nos nós respetivos. O circuito deve funcionar a $150MHz$ com uma tensão de alimentação de $2.5V$. A probabilidade de cada uma das entradas A , B e S estar a 1 é de 0.5 :

- Supondo que as três portas representadas são do tipo dominó, calcule a potência dinâmica total, P_{dyn} , dissipada pelo circuito.

b) Determine o valor da capacidade de carga p...
CMOS complet...

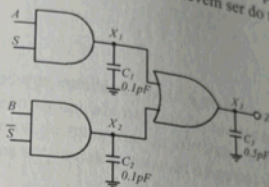
6.16 Pretende-se implementar um circuito de carga p...
sendo C a capacid...

- Calcule o atraso de propagação.
- Usando o valor calculado, determine o tempo de subida e o tempo de descida em unidades de t_{pHL} .
- Considere uma capacidade concentrada no nó X de valor $0.1pF$.

Bibliografia

- [Johnson 1988] Johnson, R. H., *Design of CMOS Integrated Circuits*, 2nd Ed., McGraw-Hill.
- [Kaeslin 2008] Kaeslin, M., *CMOS Technology and Design*, 3rd Ed., McGraw-Hill.
- [Kang 2003] Kang, S. M., *CMOS Digital Integrated Circuits*, 3rd Ed., McGraw-Hill.
- [Rabaey 2003] Rabaey, J. M., *Digital Integrated Circuits: A Design Perspective*, 2nd Ed., Prentice Hall.
- [Sutherland 1998] Sutherland, R. J., *CMOS Technology and Design*, 2nd Ed., Morgan Kaufmann.
- [Weste 2011] Weste, N. H. E., *CMOS Technology and Design*, 4th Ed., Addison Wesley.
- [Yano 2006] Yano, K., *CMOS Technology and Design*, Ed. Wai-Kai Cheung.

- b) Determine o valor da potência dinâmica consumida por uma implementação em CMOS complementar (todas as portas devem ser do tipo NAND-2).



- 6.16 Pretende-se implementar a cadeia de duas portas dominó da Figura 6.32. A capacidade de carga prevista é de $600C$. A capacidade na entrada A não deve exceder $6C$, sendo C a capacidade de porta de um transistor de dimensões mínimas:
- Calcule o atraso mínimo, em unidades normalizadas, entre a entrada A e a saída W_z .
 - Usando o valor do atraso de *fan-out* por estágio determinado na alínea a), dimensione o circuito. Apresente os valores da largura de canal de todos os transistores em unidades de W_{min} .
 - Considere agora uma implementação da mesma função lógica $(A.B + C)$ numa única porta dominó. Qual é o atraso mínimo desta implementação entre a entrada A e a saída?

Bibliografia

- [Johnson 1988] Johnson M., A symmetric CMOS NOR gate for high-speed applications, *IEEE Journal of Solid State Circuits*, vol. 25, n. 5, pp. 1233-1236, October 1988.
- [Kaeslin 2008] Kaeslin H., *Digital Integrated Circuit Design - From VLSI Architectures to CMOS Fabrication*, Cambridge University Press, 2008.
- [Kang 2003] Kang S.-M., Leblebici Y., *CMOS Digital Integrated Circuits - Analysis and Design*, 3rd Ed., McGraw Hill, 2003.
- [Kang 2003] Kang S.-M., Leblebici Y., *CMOS Digital Integrated Circuits - A Design*

CAPÍTULO 6

6.5 - Resposta ①

→ a) As correntes de fuga antecedeem um limite superior para o período do clock, logo um limite inferior para a frequência.

→ b) Número de transições é $N+4$

→ c) Distorção é maior (ver 6.4.2)

→ d) Na fase de cálculo não podemos ter transições descendentes no nível de saída, logo na saída as transições serão ascendentes.

6.6 - Resposta ②

→ b) A probabilidade de carga acontecer quando as antenas transitam durante a fase de cálculo, o que não é o caso.

→ c) Ver comentários anteriores

→ d) A corrente de sublimação em M_1 tende a aumentar a tensão em X , logo não é a causa direta da derida de tensão em X (que ocorre a subida para '1' do nível lógico em V_0)

→ e) É a corrente que circula no PDN, nomeadamente a corrente de sublimação de M_1 (quando cortado) que descarrega o nó X e causa a subida de V_0 para o nível lógico '1'.

6.7 - a) O valor mínimo favorável de V_{OL} (i.e. o mínimo) ocorre quando temos apenas A e B, ou apenas C, ativos.

Neste caso o valor de K_R é:

$$K_R = \frac{K_N}{K_P} = \frac{K_N(V_{OL}/V_{DD})}{K_P(V_{OL}/V_{DD})} = 2.5 \times 2 = 5$$

V_{OL} é dado pela equação 3.29

$$V_{OL} = (V_{DD} - V_T) \left(1 - \sqrt{1 - (1/K_R)} \right) = 0.296V$$

b) A potência estática média é dada por (Eqs 3.47 e 3.46)

$$P_{STAT} = \frac{P_{STAT1} + P_{STAT2}}{2}$$

$$P_{STAT1} = I_{SD4} \cdot V_{DD}$$

$$= \frac{1}{2} K_P' \left(\frac{V}{V_{DD}} \right)^2_4 (V_{DD} - |V_{TP}|)^2 V_{DD}$$

$$P_{STAT} = \frac{1}{2} \left(\frac{1}{2} \frac{120}{2.5} (1) (3.3 - 0.5)^2 \cdot 3.3 \right) = 310.5 \mu W$$

c) A função lógica realizada pelo circuito é $Y = \overline{A \cdot B + C}$

$$\text{Assim: } P(Y=1) = P(A \cdot B=0) \cdot P(C=0) =$$

$$= [1 - P(A \cdot B=1)] [1 - P(C=1)] =$$

$$= (1 - P_A \cdot P_B) (1 - P_C) =$$

$$= (1 - 0.5 \times 0.3) (1 - 0.3) = 0.595$$

O factor de actividade, α , é:

$$\alpha = P(Y=0) \cdot P(Y=1) = (1 - 0.595) \times 0.595$$

$$\alpha = 0.261$$

Finalmente a potência dinâmica

$$\text{é } P_{dyn} = C_L \cdot f_{sw} \cdot V_{DD} \cdot (V_{DD} - V_{OL}) \cdot \alpha,$$

a qual atinge o valor mais elevado quando V_{OL} é mínima. Esta condição ocorre com o PDN todo activo, situação para a qual podemos calcular V_{OL}

segundo o procedimento da alínea d) mas usando $K_R = 2.5 \times 4 = 10$.

O resultado é $V_{OL} = 0.144V$. Com este

valor P_{dyn} é:

$$P_{dyn} = (200)(30M)(3.3)(3.3 - 0.144)(0.261) = 150.6 \mu W$$